

Inhoud

1	Digitale Systemen	1
1.1	Embedded systemen	2
1.2	Overzicht embedded systemen	3
1.3	Toepassingsgebieden voor PLD's	5
1.4	Digitale Systemen	7
2	De taal VHDL	9
2.1	Ontstaan en ontwikkeling van VHDL	10
2.2	Alternatieven voor VHDL	10
2.3	Het basisconcept van VHDL	11
2.4	Het ontwerptraject	14
2.5	Synthese	16
2.6	Simulatie	19
2.7	Alternatieve beschrijvingen voor de full-adder	21
2.8	Evaluatie alternatieven beschrijvingen full-adder	30
2.9	D-flipflop en dataregisters	32
2.10	Evaluatie beschrijvingen flipflop en registers	38
3	Simulatiemodel VHDL	39
3.1	Parallele versus sequentiële constructies	40
3.2	Het verschil tussen variabelen en signalen	41
3.3	Delta-delay	43
3.4	Het simulatiemodel	44
3.5	De exnor als voorbeeld	47
3.6	Conclusie uit beschrijvingen exnor	52
3.7	Meervoudige toewijzingen aan hetzelfde signaal	54
3.8	Tijdvertragingen en samengestelde signaaltoewijzingen	56

4	Synthese	59
4.1	Synthetiseerbare VHDL	60
4.2	Niet synthetiseerbare VHDL	61
4.3	Modellen voor het schrijven van synthetiseerbare VHDL	69
4.4	Sjablonen voor een synthetiseerbare subset van VHDL	78
4.5	Variaties op de sjablonen voor de synthetiseerbare subset	79
4.6	Beschrijving van een 4-bits teller	83
4.7	Afhankelijke signaaltoewijzingen in een proces	88
4.8	Herhalingsopdrachten	89
4.9	Adviezen, conventies en ontwerperegels	97
5	Toestandsmachines	99
5.1	Het concept van een toestandsmachine	100
5.2	De Moore-machine en de Mealy-machine	101
5.3	Toestandsdiagrammen en transitietabellen	105
5.4	Een Mealy-model omzetten naar een Moore-model	109
5.5	Opstellen van een toestandsdiagram voor een Moore-machine	110
5.6	Het tijdsgedrag van een Moore en Mealy-machine	114
5.7	VHDL-beschrijvingen van een toestandsmachine	114
5.8	Toestandscodering	124
5.9	Toestandsoptimalisatie	126
5.10	Veilige toestandsmachines	127
5.11	ASM-chart	128
5.12	Hiërarchie en gekoppelde toestandsmachines	129
5.13	Resumé	130
6	Ontwerpmethoden	131
6.1	Ontwerpvoorbeeld : de elektronische personenweegschaal	133
6.2	De iteratieve softwarematige aanpak	135
6.3	De methode met gescheiden dataverwerking en besturing	139
6.4	Tekenen dataverwerkingsdeel	141
6.5	Uitwerking dataverwerkingsgedeelte in VHDL	142
6.6	Ontwerp van de toestandsmachine	146
6.7	Statussignalen en booleans	147
6.8	Alternatieve dataverwerking en besturing	148
6.9	De FSMMD-methode	149
6.10	De ASMD-methode	152
6.11	De twee-processenmethode	152
6.12	Keuze methodiek	154
7	Algoritmes	157
7.1	De grootste gemeenschappelijke deler	159
7.2	De implementatie van de GGD in hardware	166
7.3	Adviezen voor de zoektocht naar een bruikbaar algoritme	170

8	Algoritmes voor BCD	171
8.1	De BCD-opteller	172
8.2	Werkwijze bij het ontwerp	179
8.3	Een BCD-getal met één verhogen	180
8.4	Een BCD-teller	182
8.5	De conversie van binair naar BCD	187
8.6	Resumé	196
9	Verificatie	197
9.1	Verificatie en testen	197
9.2	Simulatie	201
9.3	Stimuli	205
9.4	Testbench voor het normale gedrag van de 74163	206
9.5	Testbench voor het niet normale gedrag van de 74163	209
9.6	Klok, asynchrone reset en data	210
9.7	Test multiplexer: observeerbaarheid versus aanstuurbaarheid	213
9.8	Statische tijdsanalyse	216
9.9	Dynamische tijdsanalyse of timingssimulatie	220
9.10	Statische tijdsanalyse versus dynamische tijdsanalyse	226
9.11	Verificatie van de vermogensdissipatie	226
9.12	Resumé	228
10	Bibliotheken	229
10.1	Het package standard	231
10.2	Het package standard_logic_1164	232
10.3	IEEE-packages voor rekenkundige bewerkingen	236
10.4	Het package numeric_std: conversiefuncties	238
10.5	Het package numeric_std: resize-functies	240
10.6	Het package numeric_std: rekenkundige bewerkingen	241
10.7	Het package numeric_std: relationele bewerkingen	243
10.8	Het package numeric_std: schuiffuncties	244
10.9	Gehele getallen met behulp van integers	246
10.10	Adviezen bij vectoren en tips bij numerieke bewerkingen	248
10.11	Het package textio voor de in- en uitvoer van tekst	252
10.12	Het package std_logic_textio voor tekst met std_logic	258
10.13	Voorbeeld van gebruik textio bij het opstellen van een testbench	259
10.14	Het package math_real en andere numerieke packages	266
11	Technologie	267
11.1	CMOS	269
11.2	SPLD	273
11.3	EPROM-, EEPROM- en flashtechnologie	283
11.4	CPLD	288
11.5	Antifuse-technologie	290
11.6	RAM-technologie	291
11.7	FPGA	302
11.8	ASIC	322
11.9	De wet van Moore en de toekomstige ontwikkelingen	332

Bijlagen

A	Gereserveerde namen	337
B	Standaard en IEEE-packages	339
C	VHDL-2008	349
C.1	Packages voor drijvende- en vastekommagetallen	349
C.2	Vereenvoudigde gevoeligheidslijst	350
C.3	Hiërarchische namen	350
C.4	Conditionele sequentiële toewijzingen	351
C.5	Vectors in <i>aggregates</i>	351
C.6	Nieuwe relationele operatoren	351
C.7	Meer mogelijkheden voor expliciet uitgeschreven bitvectoren .	352
C.8	Uitbreiding van het generate-statement	353
C.9	De standaard IEEE-packages behoren bij de officiële standaard	353
C.10	De functies <code>to_string</code> en <code>justify</code> toegevoegd	354
C.11	Functies <code>minimum</code> en <code>maximum</code> toegevoegd	355
C.12	Nieuw <code>case</code> - en <code>select</code> -statement toegevoegd	355
C.13	Uitbreiding van de generieke parameters	355
C.14	De mogelijkheid voor een commentaarblok toegevoegd	355
C.15	Packages: <code>numeric_std_unsigned</code> en <code>numeric_std_unsigned</code> . .	356
C.16	De toekomst van VHDL-2008	356
D	VHDL voor bepaling GGD	357
E	ASCII	365
	Index	367